

JAPANESE PATENT APPLICATION LAID-OPEN NO. 48-073086

(Partial Translation)

Fig. 2(D) has a construction that the Trap Layer (8) and (8') is formed on the upward of the Source(3) and the Drain(2), on the contrary to (C). Each of them employ the carrier injection method using Zener Plasma or Avalanche Plasma between the Drain(2) and the substrate or the Source(3) and the substrate.

⑯ 日本国特許庁

公開特許公報

特許公報 (特許法第58条ただし書)
の規定による特許公報

昭和46年11月24日

特許庁長官 共土式典

1. 発明の名称

半導体メモリ装置

2. 特許請求の範囲に記載された発明の数

3. 発明者

住所 〒101 東京都千代田区内神田2丁目14番6号
東京電気化学会社内

氏名 山崎 肇 平方 客

4. 特許出願人

住所 〒101 東京都千代田区内神田2丁目14番6号
東京電気化学会社内

氏名 山崎 肇 平

⑪特開昭 48-73086

⑫公開日 昭48.(1973)10.2

⑬特願昭 46-94297

⑭出願日 昭46(1971)11.24

審査請求 有 (全12頁)

府内整理番号

642657
624456

⑮日本分類

996E3
978C13

にゲイト電極として少なくとも2つが同一平面またはかさねあわせて形成された構造を有することを特徴とした半導体メモリ装置

2. 半導体基板に複数個作製された側接絶縁ゲート型電界効果トランジスタ間に存在する絶縁膜内に半導体または金属のクラスターまたは膜を形成せしめ、かかる部分に所定の電荷を注入することにより前記トランジスタ間の半導体表面およびその近傍での電気的導電性を

または複数個形成せしめ、かかる層に隣接された電荷の量、強度を制御することにより、その直下の半導体中で流れるキャリアの量を制御することを特徴とした半導体メモリ装置
2. 半導体基板に1つまたは複数個作製された1つまたは対になつた2つまたはそれ以上の絶縁ゲート型電界効果トランジスタのゲイト絶縁膜内に電荷の捕獲中心層としての半導体または金属のクラスターまたは膜を一部または全部に1つまたは複数個作られたる絶縁膜上

アートリーフィルム

3. 発明の詳細な説明

本発明は、半導体基板に1つまたは複数個作製された1つまたは対になつた2つまたはそれ以上の絶縁ゲート型電界効果トランジスタ（以下MOSFETといふ）のゲート（以下Gといふ）絶縁膜内に電荷の捕獲中心層（以下トランジスタをもつてると記す）として半導体または金属のクラスターまたは膜を局部的に1つまたは複数個形成せしめ、かかる層に隣接さ

る方法が知られている。

れた電荷の量、遮断を制御することにより、その直下の半導体中を流れるキャリアの量を制御することを目的とする。

本発明の目的とは、半導体基板に前記の如く形成されたMIS・FETOG絶縁膜内にT字としての半導体または金属のタラスクまたは膜を一部または全部に1つまたは複数個作られた絶縁膜上にゲート電極として少くとも2つが同一平面またはかさね合せて形成された構造を有することである。

本発明の他の目的は、半導体基板に複数個形成された間接するMIS・FET間に存在する電荷のTLに所定の電荷を注入することにより前記トランジスタ間の半導体表面およびその近傍での電気的導電性を遮断または抑制せしめる機能を有せしめることである。

従来、半導体メモリとして1素子で1ビットの不揮発性を有せしむるための構造として、ゲート絶縁膜にMIS-FETのゲートを挿入し、ここに電荷を何らかの手段を用いて注入す

この構造の代表的なものを第1図に示す。これらは、基板とドレイン（以下Dと記す）との間に逆バイアスを加え、ここでアバランシェ効率を作りことで作られたホットキャリアをダイオード電極に注入するものである。この代表的なものとして、第1図(W)に示されるP-A・MOS（フォーティング・ダイオード・アバランシェ・アンプIS-FET）がある。これは、ソース（以下Sという）(1)とD(3)との間に負電圧を例えば-70V加え、基板(1)とD(3)との間でかかるアバランシェを利用して電子をG(6)に注入するものである。このG(6)はその外周辺または外部端子と接続されてかららず危険物(6)でとかわれている。また、G(6)と基板(1)との間は1000A～2000Aの厚さの酸化膜でとかわれている。アバランシェを起こしたときのみ、みかけ上、基板(1)とG(6)との間の絶縁抵抗R_gが小さくなるようになる。因はWを改良したものでWが電子のみの注入をさせしめるということに対し

ホールの注入を第2ゲート(10)に負の電圧を加えて注入し、電子の注入を行う場合は(10)にゲート電圧に正の電圧を加える方法である。D(8)端(11)での電界強度を強くするために、G(9)をB回路によぶてある。

(4)は、第1ゲイト(8)への(11)からのキャリアの注入を妨長するため、第2ゲイト(10)をD端子(11)上方にのみ作られたものである。これらはすべて、基板から電荷を注入する際、S(8), D(10)

らに發展せしめその新たな工業的価値を見い出した。以下にその詳細を記す。

すなわち、從来は、ゲイトを電気的にフローティングにしてそこに電荷を蓄積するものとなっていたが、本発明人は、絶縁物中に存在する金属または半導体のクラスターまたは簇であつても全く、同様の機能すなわち電荷のTTLとしての機能を有することを明らかにした。すなわち、このフローティング・ゲイトに比較して、その動作はイカルバウムゲートアーキ・ゲートによつて判明した。

すなわち、TLとしての作用をもつ半導体または金属は、平均膜厚が200Å以下では電子顕微鏡で調べた範囲では概略円状のクラスターであり、その平均の直径は、やわらかいクラスターとするときは500~2000Åまたかたいクラスターとするときは10~100Åを有していることがわかつた。さらに平均膜厚が200~1000Åの場合、薄膜とし、また1000

A～1メではゲート電極の作製が可能を厚膜としそれらをもわせて膜として定義している。すなわち、本実施例においては、かかる半導体または金属のクラスターまたは膜をテルとして作製させた。

このTLがクラスターであるか膜構造をしてい るかは基板またはゲート電極より注入されるキャリアの捕獲断面積として定義され膜の場合はその捕獲確立が1であるがクラスターの場合はずきまがあるため1以下になる。しかしクラスターでは各クラスターが電気的に分離しているため、一部のクラスターがピンホールにより基板と導通していても他のクラスターに捕獲された電荷はそのままであるが、膜の場合はすべてがリードしてしまう。

この違いがある地方膜が十分厚いく厚膜である場合、その内部で各電荷どうしがクーロン反発力をもち、基板に対しては実質的に全電荷の半分のみが影響を与えるため、その効率が悪化し、さらに、後の作製中に加わる熱蒸の影響

せりけやすく界面特性を悪化させる。結果として、基板とTLとの厚さがうすい場合はTLの平均膜厚もうすくしなければならない。このためTLが膜としたとき荷重であつても厚膜であつてもTLとしての機能は概略同じであるがその構造は全く異つてくる。

さらに、このTLを構成する材料として金属の場合は、セリウム、タンダステン、タローム、ペリリューム、アルミニユーム、マグネシユーム、ジルコニアユームを用いた。TLが金属でできている場合、注入されるキャリアは、原則的には電子のみである。しかし、ここにホールが基板(I)より何らかの手段により注入された場合、このTL(I)を電極とするコンデンス、例えば第1回図、のC₁、C₂に分離を考慮して、みかけ上(I)に捕獲された如き状態を呈することがわかつた。

またこのTLをガルマニウムまたはシリコンの如き半導体を用いるならば電子およびホールの捕獲を同時にできる。しかしそ

の捕獲のしやすさは、TLの作製条件およびTLとしての半導体中にドープする不純物の種類およびその量に依存することがわかつた。

さらに、従来は基板(I)と電荷捕獲中心層(TL)との距離をもわち、絶縁層(II)の厚さが、1000A以上と比較的厚かつたが、これは、500Aまたはそれ以下にした方が、基板からの寄込み速度がはやくなり、ひいては、メモリ装置としての応答速度を速くすることができた。

実用的な分離を考慮しらるわく内でうすくしろ。もちろん、この絶縁層(II)を500A以上としてもよい。しかし、800Aをこえるとこの絶縁層(II)内にあるトランジストにより基板から漏れる電流が、ホール・フレンケル電流になり、シロントキまたはトンネル電流にならない。

さらに、TL(I)とその上面のG電極(10)との間に存在する絶縁層(II)は、例えば酸化珪素膜等(以下SiO₂という)が1μの厚さであるが、この膜厚は小さい厚さでよくひいては、この絶縁

膜によつてできる。静電容量Q₁は、大容量であればあるほど基板とTL(I)との間に形成される電界強度を強くすることができる事がわかつた。すなわち、TL(I)、絶縁層(II)、絶縁層(III)のいずれもがうすければうすいほど高い応答速度、記憶に必要な低いゲート電圧、さらに熱蒸の発生を防止することにより信頼性の向上に寄与することがわかつた。

この観点からすると、第1回図、(1)でQ₁が構

(II)、(III)の厚さが厚いことは、その低いゲート電圧で、速い応答速度で、TL(I)への記憶の寄込みまたは再書き込みを行うという本来の目的には全く反していることがわかつた。

本発明は、これらの事実に基き、新たな構造を作り、TLを有するMOS・RAMまたはそれを複数個基板に接続して作製した集積回路(MOSといふ)への応用に関するものであつて以下にその詳細を説明する。

特開 昭48-73086 (4)

実施例 1

本発明の1つに関する図面が、第2図、第3図、第4図に記されている。

これらの図面において明らかに如く、日鉄錠鋼内にTSL(1), (1'), (2)が複数個作製されたことと並びTSLが有在していないダイト電極下の絶縁膜は、英米のMITSUBISHIとの動作を有すること。この2つが必要に応じて併用された構造を有することである。

なお、本発明において、TSLとは電子またはホールを注入、捕獲または再結合することのできる層の総称を意味し、すでに記した如き材料を用いた。

さらに、このTSLへの電荷の注入方法としては基板(1)とダイト電極間との間に印加されたりことにより生ずるトンネル電流またはシート電流を利用して注入する方法、S(2), D(3)間にまたは基板(1)とS(2)またはD(3)間にツエナーまたはアバランシエ・プラズマを発生させて、これにより生じた励起状態のゆ

るホット・キャリアの電子またはホールのキャリアの自己試験を利用する方法、この際、ダイトに正または負の電圧を印加し、電子またはホールのいずれか一方を選択的に注入する方法、これらのはれかと光または熱と共に併用して、注入を促進する方法があるが、これらは、本発明構造の第1図、FETのG部錠鋼内への電荷の注入方法であつて、本発明においてはいずれを用いてもまたもわせ用いてよいことはいうまでもない。

第2回の作製方法を略記する。

基板はNテチルMIS-N-FETを作る場合は、P膜 $1.5 \times 10^{14} \sim 5 \times 10^{16} \text{ cm}^{-2}$ の不純物濃度の試料を用い、(100)の結晶方位のものを用いた。最初塩化珪素膜(以下SiNという)のマスク作用を利用して、水蒸気または酸素中で900℃～1100℃の温度で酸化して、基板(1)とリードとの膜厚を除去するための絶縁膜(2)を作製した。次にS(2), D(3)を熱拡散法で不純物濃度 $1 \times 10^{20} \text{ cm}^{-3}$ のオ

ーメーに拡散して作つた。拡散条件は、1～5μとした。さらに基板(1)表面を十分清浄に保つため、これら金体を酸化した。この酸化は、20～500Aの厚さでは、800℃～1150℃の温度範囲で炭酸ガスまたは重炭酸ガスを水素または窒素の如き不活性ガスで必要に応じて導入し酸化して作製した。かくの如く高張度酸化膜を作ることにより、酸化膜が緻密になり、安定な動作が可能となつた。

中で1000℃～1200℃の加熱を行つた。また、この絶縁膜(2)の構成材料として、薄い酸化膜とその上面に塩化珪素被覆、酸化膜の如きエキノルギーアップが酸化珪素に比較して小さい材料を用いて、TSLへ電荷の注入を促進せしめてもよい。

TSL(1), (1')は、シリコンまたはグルマニアームの如き半導体を用いる場合は、シリコン、ジクロールシリコンまたはグルマン、塩化グルマニアームを用い気相法で形成させた。グル

マニアームは真空蒸着法で形成させてもよく、また、金属のTSLを作る場合は、真空蒸着法またはスパッタ法により形成せしめた。

さらに、この上面に絶縁膜(2)を形成させた。この絶縁膜は、塩化珪素膜を用い(2), (3)の部分を残し他のを除去する。この後これらすべてを酸素中で酸化してTSL(1), (1')を構成する部分以外の半導体または金属膜を酸化して絶縁膜に変更する。このとき基板のS(2), D(3)

する。TSLは、化学的エクステンで除去してもよく、また、前記酸化を温度で中止するならば図面の如き状態になり、くぼみ等は形成されない。最後に、ダイト電極側をアルミニウムの真空蒸着法で0.5～1μの厚さに形成せしめた。(4)面を含む、本明細書図面では基板からのキャリアのTSLへの注入のみを考慮し、ダイトからの注入を考慮しなかつたが、これは、相対的な問題であつて、ダイトからキャリアを前記方法によつて注入してもよい。

以上の如くにして、1つのMIS・FETのゲート絶縁物内に2つのTL(8), (9)を有する構造を作製することができた。

(3)図は、ゲート電極以下のO₁領域にのみTL(8)を作り、O₂領域は、従来のMIS・FETの構造を有している。図は脱出し用S(10)で記憶の注入用のZPまたはA・Pを発生せしめ、これをO₁電極に電圧を印加してTL(8)に電子またはホールを注入するための構造を有している。このZPまたはA・Pがかかるための必要電圧は一般に50V以上を必要とするが、本実施例では、S(10)とナメ込み層端との境界P⁺-N⁺複合で、ZPまたはA・Pを発生させるため、その発生に必要な電圧を5~10Vと小さくすることができた。

第2回(3)は、TLがゲートの絶縁膜の中央に存在する構造であつて、(15),(16)はTL(8)の存在しないいわゆるMIS・FETの構造を有している。

(4)は、(3)とは逆にTL(8), (9)がS(10), D(11)

の上方に存在し中央が0Vとして通常のMIS・FETの構造となつている。

さらに図は、TL(8), (9), (10)が、(11)が2つに対しても5個並列に作製されたものである。これら(4), (5), (6), (7), (8)の電気的な記号を第1回(4), (5), (6), (7), (8)にそれぞれ記してある。

これらのTLの位置は、代表的なものを記したものであつて、これをさらに複数化して、TLを有する領域とTLを有せざる領域とを組合せて作製してもよいがそれらは本発明と同一技術思想であつて、本発明の以上的実施例より容易に類推できるものである。

次にこれらの工業的な価値のうち代表的なものを記す。これらは基本的には論理回路であつて、TL(8), (9), (10)に記載された電極により、その下方向に存在する半導体中を流れる電荷の量を制御するが、この程度は、TLに注入されている電荷の種類により異なる。もし脱出しをS(10)よりD(11)に電流を流す場合、

また、NチアノルMIS・FETを考えた場合、TLにホールが捕獲されていると、その量に従つて、スレッシュホールド電圧(以下Vthといふ)が負に移動し、TL下の半導体中を電子が流れる状態になる。またこのTLに電子を注入すると半導体中にはチアノルが形成されず、電流が流れない。かくの如き状態で半導体中を流れるキャリアの量を制御できる。しかし、本発明の如く、複数個のTL

第2回(4)は、ZPまたはA・Pを利用してTL(8)に電荷の注入するための構造を示している。すなわち、書き込み用D(11)の外周端にナメ込み層端がP⁺で存在し、この端と(8)との間に作製される接合を利用して、ZPまたはA・Pを作り、このとき助起されたキャリアをTL(8)に注入する構造である。この場合TLが存在しそとに捕獲された電荷により基板を流れるキャリアの量を制御する領域

例えば(4)において2つのTL(8), (9)の双方に電子が捕獲され、その結果、双方が「オン」状態になつて初めて、キャリアが流れる状態を作ふことができる。すなわち、AND回路の論理機能を有しかつ不揮発性を有していることがわかる。すなわち、不揮発性を有する論理回路の一例であることがわかる。図はTLが(8), (9), (10)と5個並列につらなつたAND回路であつて、この数は必要に応じて変えてゆけばよい。

で動作する論理回路である。一方、一方に対して並列に形成されている。このことにより、以下の使い方が可能になる。すなわち、S, D間を流れる電流はO₁, O₂の双方がオン状態になつた時、すなわち、O₁がノーマリ・オフのMIS・FETならば、脱出し用にG時に電圧を加える時にのみ始めてTL(8)に存在する電荷の状態を脱出することができる。これは図の如き構造を用いて、マトリックス構造を作る言いきわめて好都合である。

第1回(3)は、TL(3)がS、Dの基板との接合部より十分な中央付近にのみ存在する回路構造においては、例え、Sが通常のMIS・FETの動作を行い、3個のMIS・FETが直列につながった構造をしている。この場合は、TLへのキャリアの注入は、G側にバイアスを加え、基板からさきほてダイオードからの電界注入またはそれと共に、熱を利用して注入する複数の用いられる。この構造は、同一基板に複数個のMIS・FETを作り、例えば(2)、(3)が、G側のD、Sではなく、隣接したMIS・FETのD、Sであり、かつTL(3)の電荷は(2)、(3)間のテアネルカットとして有効に作用する。

第2回(4)とは逆にTL(4)、(5)がS(4)、D(5)の上方に位置せしめた構造を有している。それぞれがD(5)と基板またはS(4)と基板とのZPまたはA・Pを利用してしたキャリアの注入方法を用いている。

第2回(4)、(5)、(6)、(7)、(8)の電気的な記号

ある。多層構造とする場合その注意すべき点の第1は、例えば(4)におけるTL(4)、(5)の厚さが高々1000Åまでであり、一般には200Å前後である。かくの如くにTLの厚さをうすくしない限りダイオード構造の厚さが全体できわめて厚くなってしまい信頼性がなくなる点にある。さらにこのTLの構成材料は、表面に応じて不純物がドープされたシリコンが用いられることがある。その理由はその段の

に應用としてTLの外周辺はシリコンの酸化物または窒化物により作製されているという点にある。

回路において、(W)及びTL(6)は第2回(4)と同じ構造であり、TL(6)は、MIS・FETのテアネルを構成するテアネル全体をつかつている。すなはち公知の構造は基本的には、(W)でTLが(6)のみの場合をその代表としている。図は(6)とは逆に(6)が上側にまた(6)が基板側に作られている。さらに(6)は、第2回(W)のTL

特開昭48-73086 (6)
を(6)、(6)、(6)、(6)に記してある。以上の如く本回面においては、複数個のTLまたはTLのないダイオード基板を同一ダイオード下に作成し、それらのすべてが、オン状態にしたとき始めてS、D間にTL(6)及びG(6)に印加された電圧に従つた電流が流れるものであつて、論理回路としてはAND回路を構成することができる。もちろん、OR回路を作ることもできる。これは、S、D間に複数個のMIS・FETを直列に作るのではなく、並列に作成すればよい。しかるとときは、いずれか一つがオンの時は、電流が流れ記憶の脱出しが行なわれることを意味する。この構造その他の第2回のそれと同様であつて、きわめて簡単に記述しうるものゆえ詳説は省略する。

第3回は、第2回と異り、同一ダイオード下のダイオード基板内に複数個のTLが存在する構造を有している。すなはち、第3回(4)では、TLは(6)、(6)が重ねて作られている。回面において、S、D、Gその他の第2回と同様で

(6)、(6)とG電極(6)との間に存在する絶縁膜(6)、(6)の中にTL(6)が介在した構造を有している。図は、第2回(4)の構造でTLが2層に重ねあわせたものである。さらに図は、テアネルを構成する基板上すべてをかかうダイオード基板内に2層に重ね合せて作られている。これらは、いずれにかいても第2回の変形であり、2層になつたTLへのキャリアの注入は、基板に近い側(例えはWのTL(6))は、基板側

れらとなど元はハーフヒーツ……
より行なえばよく、また、上側のTL(例えはWのTL(6))は、ダイオード電極よりトンネルまたはショットキ電流により注入するか、さもなくば第4回(W)の如き構造にして注入を行なえばよい。回面では、TLは、2層になつているが、3層またはそれ以上としてもよいことはいうまでもない。第2回、第3回は、TLが、ダイオード基板内に局部的に1つまたは複数個形成された構造の代表的なものを記

したが、この組合せはその用途によつて決められるべきであり、それらは本発明の技術基準に含まれるものである。第3回(4), (5), (6), (7), (8)は、それぞれ(1), (2), (3), (4), (5)の電気記号で示したものである。

第4回は、半導体基板に複数個のMIS・FET(表面ではQ₁, Q₂)が作られ、それらが対をなしている場合の断面図の一例を示している。

(4)は、Q₁のTL(4)がうめとみ層とD(4)との間に接合できた。またはテアネルで作られるホットキアリヤの注入が行なわれるのに對し、TL(4)は、TL(4)の上方にあり、ここへのキアリヤの注入は、MIS・FET(Q₁)により行なわれている。また例は、2つのMIS・FETがQ₁, Q₂のTL(4)が共通してかかり、例えはQ₂でTLにテアネルをオンにするキアリヤが注入されるならばQ₂のテアネルがオンになり、またQ₂でオフのキアリヤが注入されるならばQ₂がオフとなる構造を有している。

Q₁, Q₂がQ₁, Q₂として存在している。すなわち、Q₁, Q₂にそれぞれ正または負の電圧を独立にまたは共有して加えることにより、TL(4)への注入の強度をかえることができる。それは、TLに注入される電荷Q₁は、Q₁に加わる電圧とGとTLまたTLと基板との間に形成された静電容量とに比例するため、例えば+30VをQ₁に加えた場合と同電圧をG₁、G₂に加えた場合ではTLに注入される電荷

(4)は、第2回の構造でTL(4), (5), (6)上にQ₁, Q₂, Q₃がそれぞれ独立に作られておりこれは、いわゆる3つのMIS・FETを直列につないだものと電気的には同じであり、3つのMIS・FETを直列につないで作られた場合と同様のオアの論理性を有する。もちろん、4つまたはそれ以上、直列につないでも同様である。しかしながらその基本構造においてQ₁, Q₂, Q₃の下には1つのテアネルを形成するためのMIS・FETがあるのみ

実施例 2

本実施例は、実施例1と同様に1つまたは複数個作製された1つまたは対になつた2つまたはそれ以上のMIS・FETを用いた。論理性構造を行なわしめるために重要な基板構造を示す。第5回にその基本構造の代表例を示す。

電荷のTLとしては、実施例1と全く同様であり、さらに作製方法も同様である。本実施例の特徴は、TLが1つまたは複数個存在するMIS・FETでゲート電極が2つまたはそれ以上存在することである。

第5回(4)は、TL(4)上に二つのゲート電極

で、また、TLが独立にゲート絶縁膜内に存在することである。このことより3つのMIS・FETを直列につないだ場合よりもきわめて小型化することが可能になつた。

(4)は、2つのMIS・FETがTLを有し、中央に位置するQ₂のゲート絶縁物がTLを有せざる構造になつてゐる。因でTLへのキアリヤの注入はトネル電流またはショットキ電流により行なうが(4)でTL(4), (5)への注入

注入することができる。

(4)は、TL(4)の上に2つのゲート即ちG₁, G₂がされねあわせで作られており、G₁により作られる電界をG₂に加える電圧により変調し、結果として、TL(4)にキアリヤを注入するためのゲートの電界強度を変調する構造になつてゐる。さらに(4)にさらにTLが(4)として作られたものである。

以上の説明よりわかる如く、本発明はTLが、1つまたは複数個作られ、かつ、その上

方に位置するゲート電極が少なくとも2つが同一平面または重ねあわせて作られた構造を基本としており、実施例1、実施例2をあわせて、初めて不純元素の熱離脱路の作製が可能になつた。もちろん、同一基板に形成されるMIS・FETのすべてがこれら実施例に基づく技術思想である必要はなく、その一部または大部分は、従来より知られる第1回の構造を基本とするMIS・FETを用いることも当然簡便化すればかることとはいうまでもない。

さらに、第5回は、1つのMIS・FETに対しても実施された例であるがこれが実施例1の第4回に相当する構造をもち、2つまたはそれ以上のMIS・FETに對をして動作するようCTLの構造を作つてもよいことはいうまでもない。

実施例 5

第6回にその実施例の断面図を記す。すなわち、本実施例は、半導体基板に作製され

た、絶縁ゲート電極効果トランジスタ間にテアネルカットをTLを用いて行うための構造に関するものである。

TL及びMIS・FETの作製方法としては、これまでの実施例と全く同様である。本実施例は、その基本においては第2回(1)の1つの応用例にすぎない。すなわち第4回(WKにおいて書き込み用D(1)とS(1)との間には第2回の構造のTL(1)が作られており、Q₁、Q₂を構成している。さらにQは第2回(1)がD(1)、S(1)を用いて作られている。図面において、TL(1)は基板またはゲート電極側よりショットキ電極でいわゆる絶縁物のリード電流を注入しなければならない。これには 5×10^6 V/cm 以上の平均電界強度を必要とする。但しこの場合のキャリアの注入方法はすでに記された如く直接で行うならば強電界を必要とする。しかし、このTL(1)へのキャリアの注入を $100^{\circ}\text{C} \sim 300^{\circ}\text{C}$ に基板を含むすべてが加熱された条件下で行うならばきわめて容

易になる。例えば基板を 150°C の加熱の状態としゲート電極と基板との間に同一電界を加えたりとき絶縁膜側を流れる電流は5倍になつた。もちろんA・P、ZPを用いてキャリアのTLへの注入を行つても加熱を同時に行うとキャリアの注入が妨害されることはないまでもない。さらにもTL(1)の下方にはSまたはDと作られてからずいわゆるZPまたはA・PによるTLへのキャリアの注入は行な

アネルカットとして用いる場合は、TL(1)のアネルカットされているキャリアの種類は一定不变を原則とするため、TL(1)にキャリアを注入、捕獲せしめた後、その上方に形成されたゲート電極を化学的または熱的に除去してしまうともよいことはいうまでもない。

第6回図は、TLがMIS・FET、Q及びQのアネルカットする部分全体に形成されている。この例の作製方法としては、以下の

またはA・Pにより作られたホットキャリアを注入するため、(1)は(2)を記憶装置として動作させる以前に注入された電荷をそのままの状態で保持しつづけることが可能になる。このため、あらかじめ図面では(1)、(2)との間をP型化して多くといわゆるテアネルカットが行なわれるととなる。もちろん同時にホールをいれてN⁺型に(1)以下の半導体基板面を電気的に変形し、オンの状態を維持しつづけてよいことはいうまでもない。さらにもTL

して作つた後と、(1)の上にケルビンエミッタで作る。この時うめこみ層は、S(1)、D(1)、前に比較して、不純物濃度が小さくなればならない。例えば、S、Dを 10^{20}cm^{-3} のオーダーを注入し、うめこみ層は $5 \times 10^{16} \sim 1 \times 10^{15}\text{cm}^{-3}$ とすればよい。するとD(1)、(2)の上部には時の作業と同時に拡散がなされるが、これは、Dの不純物濃度に比べて十分小さいため、D(1)、(2)の表面附近にやはり界面ではN⁺層にすることができる。この後、ゲート

特開 昭48-73086 (8)

絶縁膜(1), T L(8)及びSiN膜(6)を作る。この後T L(8)上のSiNのみを残し、他を除去し、金化を水素焼成または酸素雰囲中で950°C～1150°Cで酸化する。この酸化の程度が強いため基板の一部をも酸化し跡の形状となる。その後、T L(8)上のSiN膜を熱リソジで除去した後、被膜全体をあらかじめSiN膜を形成する。この膜は、SiNではなく酸化チタン、酸化チタン、酸化ペリリュームその他を用いてよいことだ、うまでもない。最後にゲート電極及びリード凹を形成する。この後ゲート電極と基板との間に凹では電極を正に複数界を加え、T L(8)に電子を注入し、その直下をP型化してアネルカットとすればよい。

以上の説明よりわかる如く本発明は、半導体基板に1つまたは複数の被膜が作られたMIS・FETのゲート絶縁膜内に電荷の捕獲中心層としてT Lを作りそのT L位置、大きさ、數を変えることにより、さらにT Lに電荷を注入するためのゲート電極の形状、数をかえる

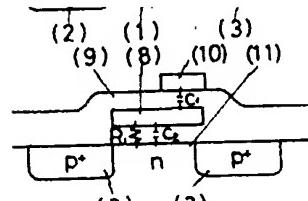
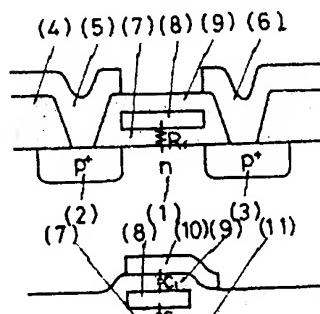
ことにより、不揮発性記憶装置を有する論理回路を作ること及びその一つを応用して、電圧または加熱等熱気でT Lにキャリア注入することにより開閉MIS・FET間のアネルカットを行うことにより、その新規性と工業的有用性はきわめて大きなものと信ずる。

4. 図面の簡単な説明

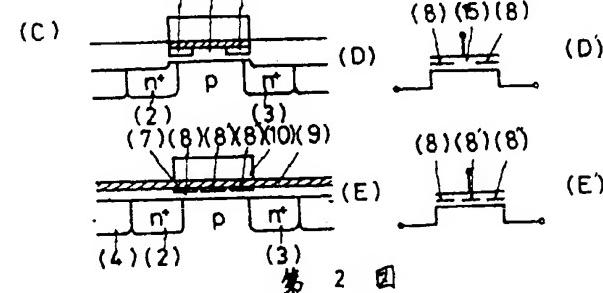
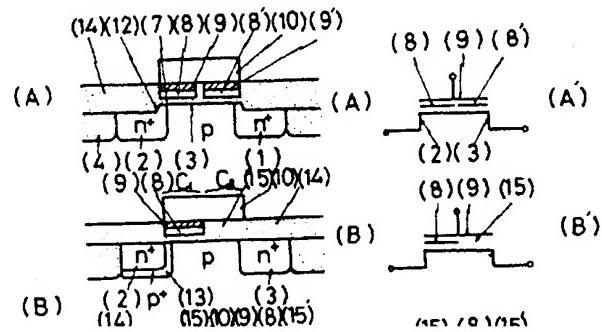
第1図は、従来の不揮発性記憶装置を有するMIS・FETの断面図を示す。第2図、第3図、第4図、第5図は、本発明構造のMIS・FETの代表例の断面図を示す。第6図は複数個の本発明MIS・FETとその間に作られたアネルカットの基本構造を示す。

特許出願人

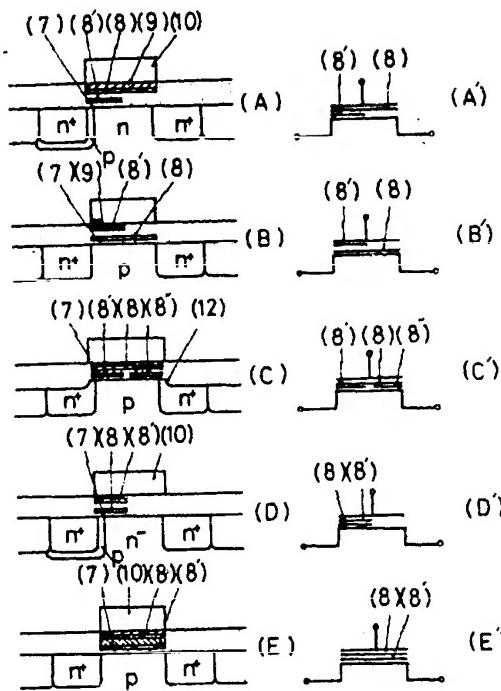
山崎典平



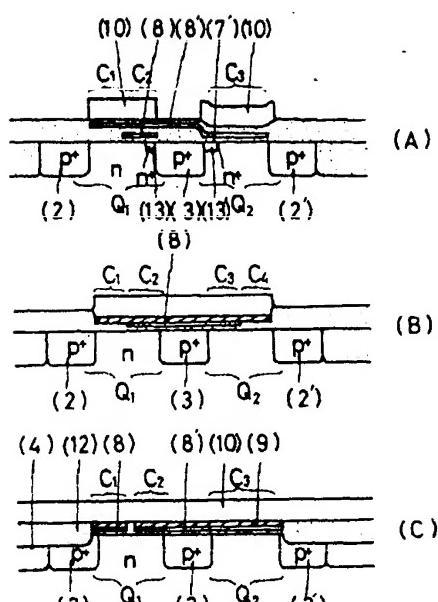
第1図



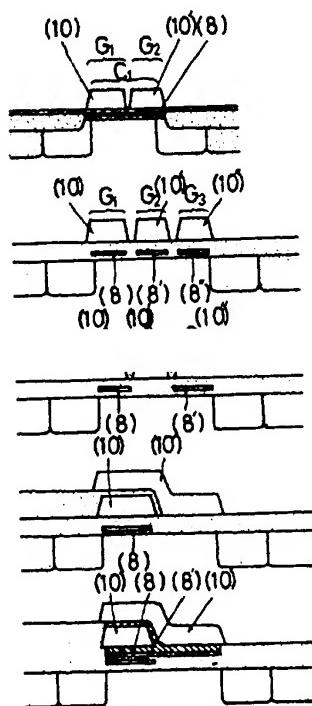
第2図



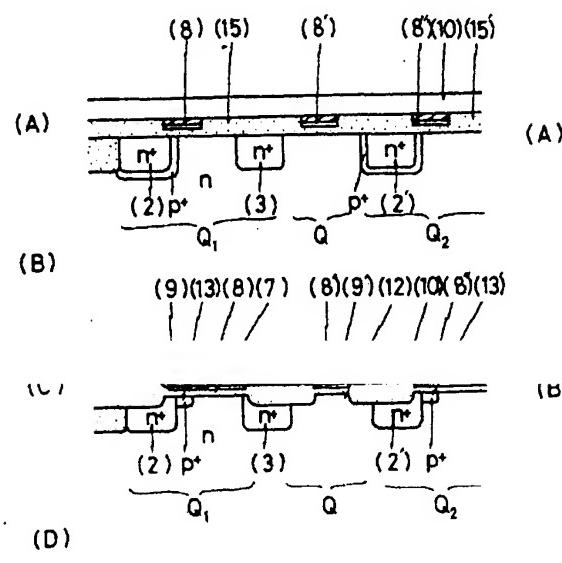
第3図



第4図



第5図



第6図

特開 昭48-73086(11)
手続補正書(方式)

5. 添付書類の目録

- (1) 出願審査請求書 1通
(2) 明細書 1通
(3) 図面 1通
(4) 請書副本 1通

1通
1通
1通
1通

昭和47年4月25日

特許庁長官 井土武久

1. 事件の表示

昭和46年特許第34297号

2. 発明の名称

半導体メモリ装置

3. 補正をする者

事件との関係 特許出願人

住所 〒101 東京都千代田区内神田2丁目14番6号

東京電気化学会社内

氏名 山崎賛

4. 補正命令の日付

自発

5. 補正の対象

該書の出願人

6. 補正の内容

該書の記載を別紙訂正該書の通り訂正する。

7. 添附書類の目録

(1) 訂正該書

正則各1通

5. 添附書類の目録

- (1) 出願審査請求書 1通
(2) 明細書 1通
(3) 図面 1通
(4) 請書副本 1通

特許出願(特許法第36条ただし書)
(の規定による特許出願)

昭和46年11月24日

特許庁長官 井土武久

1. 発明の名称

半導体メモリ装置

2. 特許請求の範囲に記載された発明の数 5

3. 発明者

住所 〒101 東京都千代田区内神田2丁目14番6号

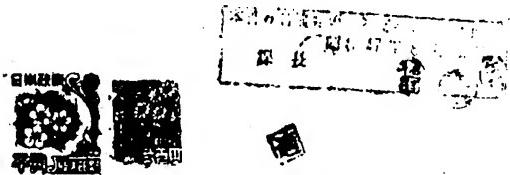
氏名 山崎賛

4. 特許出願人

住所 〒101 東京都千代田区内神田2丁目14番6号

東京電気化学会社内

氏名 山崎賛



(1200) 特許出願人名簿
変更篇

昭和47年 6月19日

特許庁長官 井 土 武 久一

1 事件の表示

昭和46年特許第74297号

2 発明の名称

半導体メモリ装置

3 本願人

住所 東京都千代田区内神田2丁目14番6号

名称 (306) 東京電気化学工業株式会社

代表者 素野 福次郎

4 補附書類の目録

(1) 本願人であることを証明する書面 1通